

公開実用 昭和62-173831

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭62-173831

⑬ Int.Cl.¹

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)11月5日

H 03 M 9/00

C-6832-5J

審査請求 未請求 (全 頁)

⑮ 考案の名称 デマルチプレクサ回路

⑯ 実 願 昭61-60199

⑰ 出 願 昭61(1986)4月23日

⑱ 考 案 者	田 中 幸 太 郎	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 考 案 者	川 上 康	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲ 考 案 者	秋 山 正 博	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑳ 出 願 人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
㉑ 代 理 人	弁理士 鈴木 敏 明		

明 細 書

1. 考案の名称

デマルチプレクサ回路

2. 実用新案登録請求の範囲

(1) 複数のフリップフロップから成り、クロック信号を $1/n$ (n は 2 以上の整数) に分周した分周信号を出力する分周回路と 5

複数のフリップフロップから成り、前記分周信号と前記クロック信号とが入力され前記分周信号をシフトしたシフト信号を出力するシフト回路と、 10

n 個のフリップフロップから成り、データ信号を前記シフト信号に応じて取り込み該取り込み信号を出力するデータ取り込み回路と、

n 個のフリップフロップから成り、前記取り込み信号を前記シフト信号に応じて出力するデータ出力回路とを備えてなることを特徴とするデマルチプレクサ回路。 15

(2) 前記シフト回路は $n + 1$ 個のフリップフロップから成ることを特徴とする実用新案登録請求の範囲第 1 項記載のデマルチプレクサ回路。 20

(1) 347

3. 考案の詳細な説明

(産業上の利用分野)

本考案は1:nのデマルチプレクサ回路に関するものである。

(従来の技術)

従来のデマルチプレクサ回路は、文献、電子通信学会技術研究報告ED85-155(1986年1月22日)第97頁～第104頁に開示され、第2図(a)に示す1:4デマルチプレクサ回路について述べられている。第2図(a)に示すように、このデマルチプレクサ回路は、フリップフロップ(以下FFという)30とFF31で1/4分周回路を構成し、FF32～FF35がシフトレジスタを構成し、FF36～FF39がデータ出力用回路を構成している。この動作は、まずデータ端子DAから入力された外部データ入力信号d(第2図(b)参照)がFF32～FF35のシフトレジスタに読み込まれる。このシフトレジスタの出力Qは、データ出力用回路のFF36～FF39のデータ入力Dに接続され、またこれらのクロック入力Cには1/4分周回路の出力Qが接続さ



れているためシフトレジスタからデータ出力用回路へのデータの転送は外部クロック入力信号 c

(第2図(b)参照)の周期の4倍の周期で行われる。

そのため FF 3 6 ~ FF 3 9 からは、第2図(b)に示すように、外部データ入力信号 d のうち外部ク

ロック入力信号 c の 4 クロックごとに対応し、かつそれぞれ 1 クロック分だけずれた部分のデータ

出力信号 3 6 q ~ 3 9 q を出力することによって、

外部データ入力信号 d の ① ~ ④ にそれぞれ対応する出力信号 3 6 q ~ 3 9 q を出力しデマルチプレ

クサ回路の動作を行っている。

(考案が解決しようとする問題点)

しかしながら、前記構成のデマルチプレクサ回路では、構成する FF のうち一部の FF (第2図

(a)の例では 3 2 FF ~ 3 5 FF) のクロック入力

及びデータ入力に、共に高速信号である外部クロック入力信号及び外部データ入力信号が入力され

るため、これらの FF によってデマルチプレクサ回路の動作速度が制限され且つ安定な動作をしな

いという問題点があった。さらに、異なるタイミ

(3)

349



ングで出力されるクロック信号で動作するFF間でデータを転送する部分がありタイミングの調整が難しいという問題点があった。

そこでこの発明の目的は、動作速度が速く且つ安定に動作するデマルチプレクサ回路を提供することにある。

5

(問題点を解決するための手段)

本考案は前記問題点を解決するために、1:nのデマルチプレクサ回路において、複数のフリップフロップから成り、クロック信号を $1/n$ (n は1以上の整数)に分周した分周信号を出力する分周回路と複数のフリップフロップ、好ましくは $n+1$ 個のフリップフロップから成り、前記分周信号と前記クロック信号とが入力され前記分周信号をシフトしたシフト信号を出力するシフト回路と、 n 個のフリップフロップから成り、データ信号を前記シフト信号に応じて取り込みこの取り込み信号を出力するデータ取り込み回路と、 n 個のフリップフロップから成り、前記取り込み信号を前記シフト信号に応じて出力するデータ出力回路とを

10

15

20

(4)

350



設けたものである。

(作用)

本考案によれば、以上説明したようにデマルチ
プレクサ回路を構成する全ての F F において、同
一の F F のクロック入力及びデータ入力の両方に
高速信号である外部クロック入力信号及び外部デ
ータ入力信号が入力されることがなく、かつ異な
るタイミングで出力されるクロック信号で動作す
る F F 間でのデータを転送する部がなく一部の
F F に動作速度が制限されることがなく安定な動作
を行うデマルチプレクサ回路を得ることができる。

(実施例)

第 1 図(a)は、本考案の実施例を説明するための
1 : 4 デマルチプレクサの回路図であり、第 1 図
(b)は第 1 図(a)に示したデマルチプレクサ回路の動
作を説明するためのタイムチャートである。以下、
図面を用いて説明する。

まず、第 1 図(a)に示すように、本考案のデマル
チプレクサ回路は、F F 1 0 1 と F F 1 0 2 とで
構成される 1/4 分周回路 I と、F F 1 0 3 ~ F F

(5)

107で構成されるシフトレジスタⅡと、FF108～FF111で構成されるデータ取り込み回路Ⅲと、FF112～FF115で構成されるデータ出力回路Ⅳとで構成されている。その動作は、クロック端子CKから1/4分周回路Ⅰに入力される外部クロック入力信号c（第1図(b)参照）がこの1/4分周回路Ⅰにおいて $\frac{1}{4}$ 分周され、次段のシフトレジスタⅡにおいて1クロックずつシフトした信号が出力され、データ取り込み回路Ⅲにおいてこのシフトした信号をクロック入力としてデータ端子DAからの外部データ入力信号d（第1図(b)参照）を読み込み、データ出力回路Ⅳにおいて、1/4分周されたクロック信号をクロック入力としてデータ取り込み回路Ⅲからの出力を読み込むことにより、各データが同一タイミングで出力されるようにしている。

第1図(b)において、cは外部クロック入力信号、dは外部データ入力信号、101q～115qはそれぞれFF101～FF115の出力信号を示している。第1図(b)に示すように、シフトレジス

タⅡへの入力は、ランダム信号ではなく外部クロック入力信号cを1/4分周した信号102qを考慮すればよく、シフトレジスタⅡの最適化、高速化が行いやすい。また、データ取り込み回路Ⅱの読み込み動作としては、FF108～FF111のデータ入力に入力される外部データ入力信号dとクロック入力Cに入力される信号103q～106qのタイミングが問題であるが、本構成の場合、FF108～FF111のクロック入力Cに入力される信号は、FF103～FF107で構成されるシフトレジスタⅡからの出力信号であるのでタイミングを変えることはできないが、データ入力Dに入力される信号は外部からの信号であるのでタイミングを調整することが可能である。そのためFF108～FF111のデータ入力Dとクロック入力Cに入力される信号のタイミングを調整することが可能となり高速でかつ安定な読み込み動作をさせることが可能となる。また、本考案の実施例ではFF101, FF102で構成される分周回路Ⅰの出力信号102qあるいはF103

(7)



～F 1 0 7で構成されるシフトレジスタⅡの各段の出力信号1 0 3 q～1 0 6 qのファンアウトを同一にするためにF F 1 0 7の出力信号1 0 7 qをデータ出力回路Ⅳのクロック入力として用いているが、ファンアウトが無視できる場合、分周回路Ⅰの出力信号1 0 1 q, 1 0 2 qあるいはF F 1 0 3～F F 1 0 6の出力信号1 0 3 q～1 0 6 qのうちの1つを用いても良い。この場合当然ながらフリップフロップF F 1 0 7は不要となる。

一般に、F Fの動作として問題となるのは、F Fのデータ入力Dに入力される信号とクロック入力Cに入力される信号とのタイミング及びそれらの周期である。第2図(a)に示す従来の回路ではシフトレジスタを構成するF F 3 2～F F 3 5のクロック入力Cに入力される信号cの周期とデータ入力Dに入力される信号dの幅が同一であり最も厳しい条件となる。これに対して第1図(a)に示す本考案の構成ではF F 1 0 1～F F 1 0 7のクロック入力Cには第1図(b)に示すように外部クロック入力信号cが入力されるがデータ入力Dには



外部クロック信号 c の 4 倍の周期の信号が入力される。また $FF108 \sim FF111$ のデータ入力 D には外部クロック入力信号 c の周期と同じ幅の信号が入力されるがクロック入力 C にはその 4 倍の周期の信号が入力される。また $FF112 \sim FF115$ には、データ入力 D にもクロック入力 C にも周期の長い信号が入力される。以上のように、本考案の実施例によれば各 FF は最適化しやすくなる。

また、第 2 図 (a) に示す従来の回路では、データ取り込み回路 III のシフトレジスタ II ($FF32 \sim 35$) からの各出力信号 $32q \sim 35q$ と、データ出力用の $FF36 \sim FF39$ のクロック入力 C に入力される分周回路 I の出力信号 $31q$ とのタイミングが動作に大きく影響する。ところで、第 1 の FF の出力 Q を次段の第 2 の FF のデータ入力 D に入力する場合、この 2 つの FF のクロック入力 C に共通のクロック信号が印加されている場合には、シフトレジスタの構成からもわかるように第 2 の FF のデータ入力 D に入る信号とクロッ



ク信号のタイミングは自動的に良好なタイミングとなる。ところが第1のFFと第2のFFのクロック信号が共通でない場合には、第2のFFのクロック信号とデータ信号のタイミングは自動的に良好ではない。そのためそこを最適化しなければならない。従来の回路ではFF36～FF39のデータ入力DにはFF32～FF35の出力Qが接続されているが、FF32～FF35のクロック信号とFF36～FF39のクロック信号は別のものを用いている。(FF32～FF35のクロック信号に対してFF36～FF39に入力されるクロック信号はFF30とFF31の遅延分だけのずれがある)そのため、FF36～FF39のデータ入力Dとクロック入力Cに入力される信号のタイミングは最適になるように調整しなければならない。しかもこの部分は前述したようにデマルチプレクサ回路の動作に大きく影響する部分である。

一方、第1図(a)に示す本考案の回路では分周回路ⅠからシフトレジスタⅡの部分でQ出力とD入

力の接続があるが、これらの F F は同一のクロックで動作している。また F F 1 0 3 ~ 1 0 7 のシフトレジスタからの信号 1 0 3 q ~ 1 0 7 q は同一のタイミングで出力されており F F 1 0 8 ~ F F 1 1 1 と F F 1 1 2 ~ 1 1 5 は同じタイミングで出力されるクロック信号により動作することになり、F F 1 0 8 ~ F F 1 1 1 と F F 1 1 2 ~ F F 1 1 5 の間のデータの転送は、自動的に良好なタイミングで行われる。このように本考案では、異なるタイミングで出力されるクロック信号で動作する F F 間でのデータの転送がないため安定に動作するデマルチプレクサ回路が得られる。

(考案の効果)

以上、詳細に説明したように本考案によれば、1 : n デマルチプレクサ回路を動作させる際に問題となる信号間のタイミングにおいて大きなマージンを有しているので、高速で安定なデマルチプレクサ回路が構成できる。また、その動作速度については、F F の動作限界周波数近くで動作可能なデマルチプレクサ回路が得られる。



4. 図面の簡単な説明

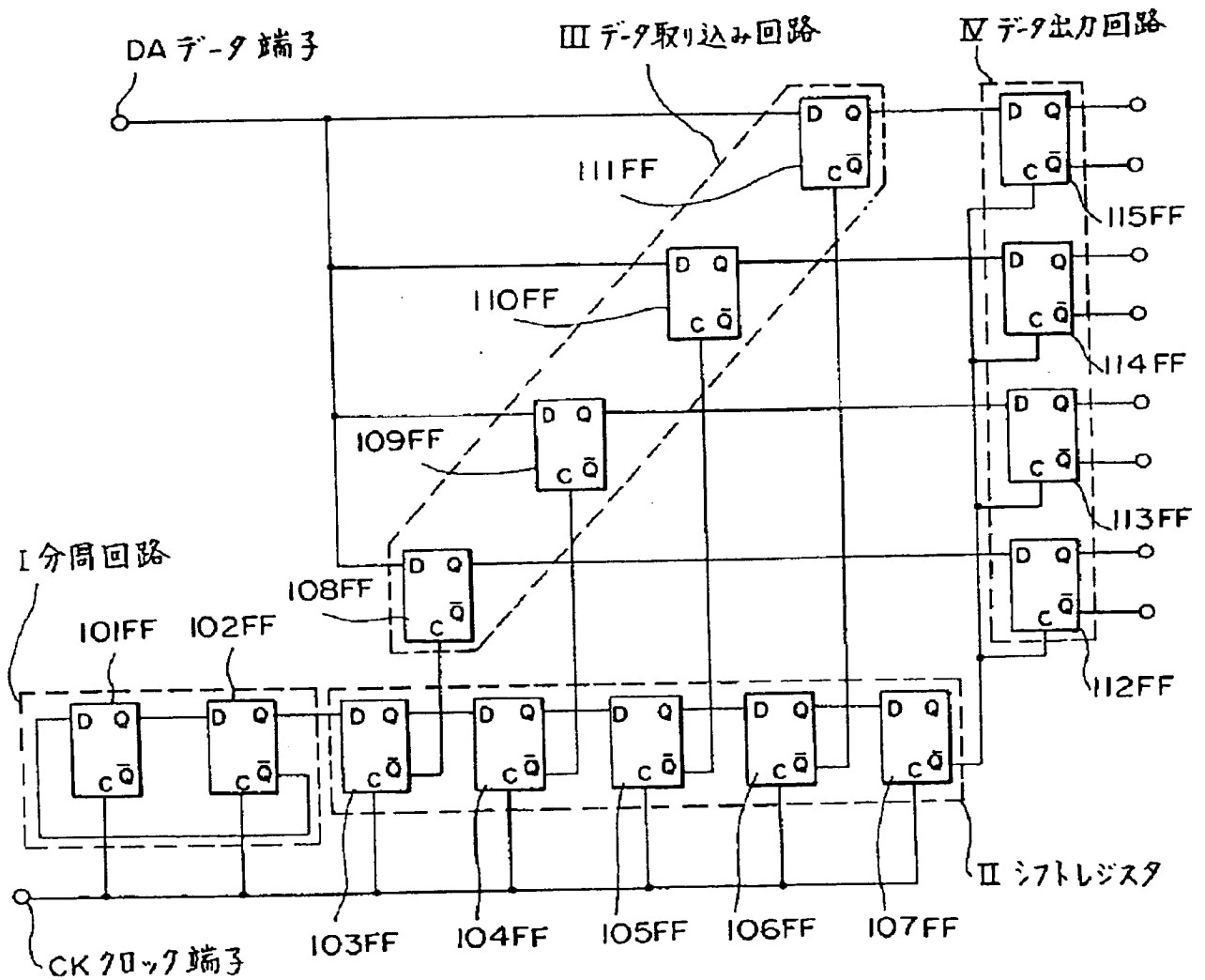
第1図(a)は、本考案の実施例を説明するための1:4デマルチプレクサの回路図であり、第1図(b)はその動作を説明するためのタイムチャートであり、第2図(a)は従来の1:4デマルチプレクサ回路図であり、第2図(b)はその動作を説明するためのタイムチャートである。

I…分周回路、II…シフトレジスタ、III…データ取り込み回路、IV…データ出力回路、DA…データ端子、CK…クロック端子、101~115, 30~39…FF、D…データ入力、C…クロック入力、Q, \bar{Q} …出力、c…外部クロック入力信号、101q~115q, 30~39q…出力信号、d…外部データ入力信号、①~⑫…各対応の出力信号。

実用新案登録出願人 沖電気工業株式会社

代理人 鈴木 敏 明





実施例の1:4デマルチプレクサ回路図

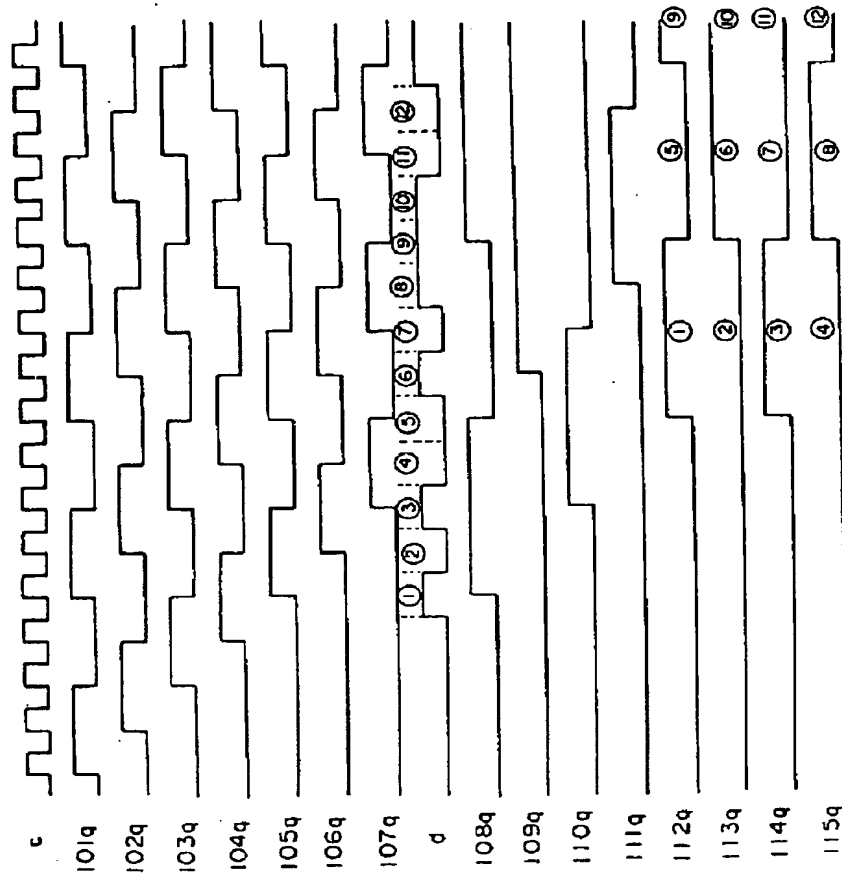
第 1 図 (a)

359

實用新案登録出願人沖電気工業株式会社

代理人 鈴木敏明

実開 62-173831



動作説明のためのタイムチャート(実施例)

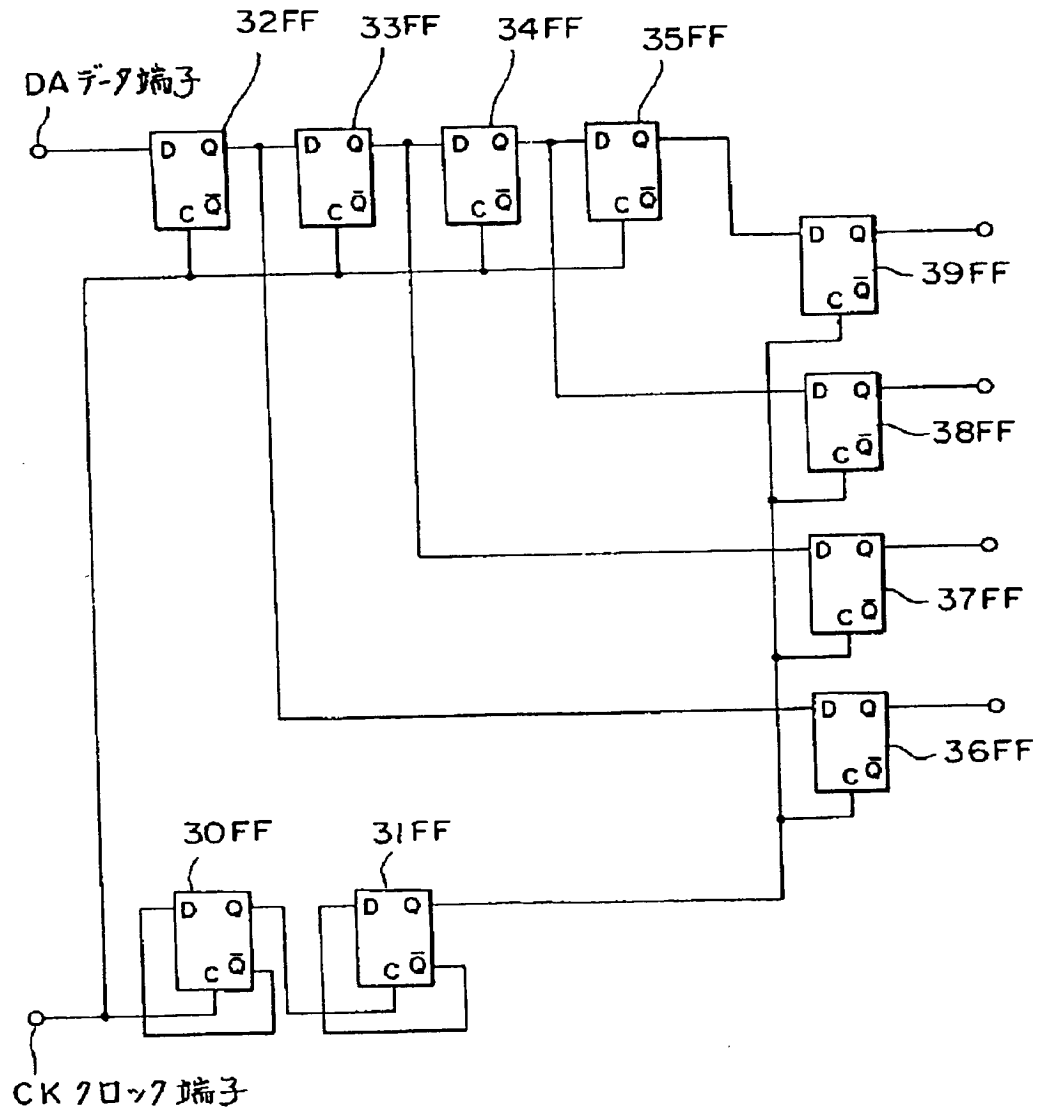
第1図(b)

3169

東京新電機株式会社 神電工業株式会社

代理人 鈴木敏明

実開62-173831



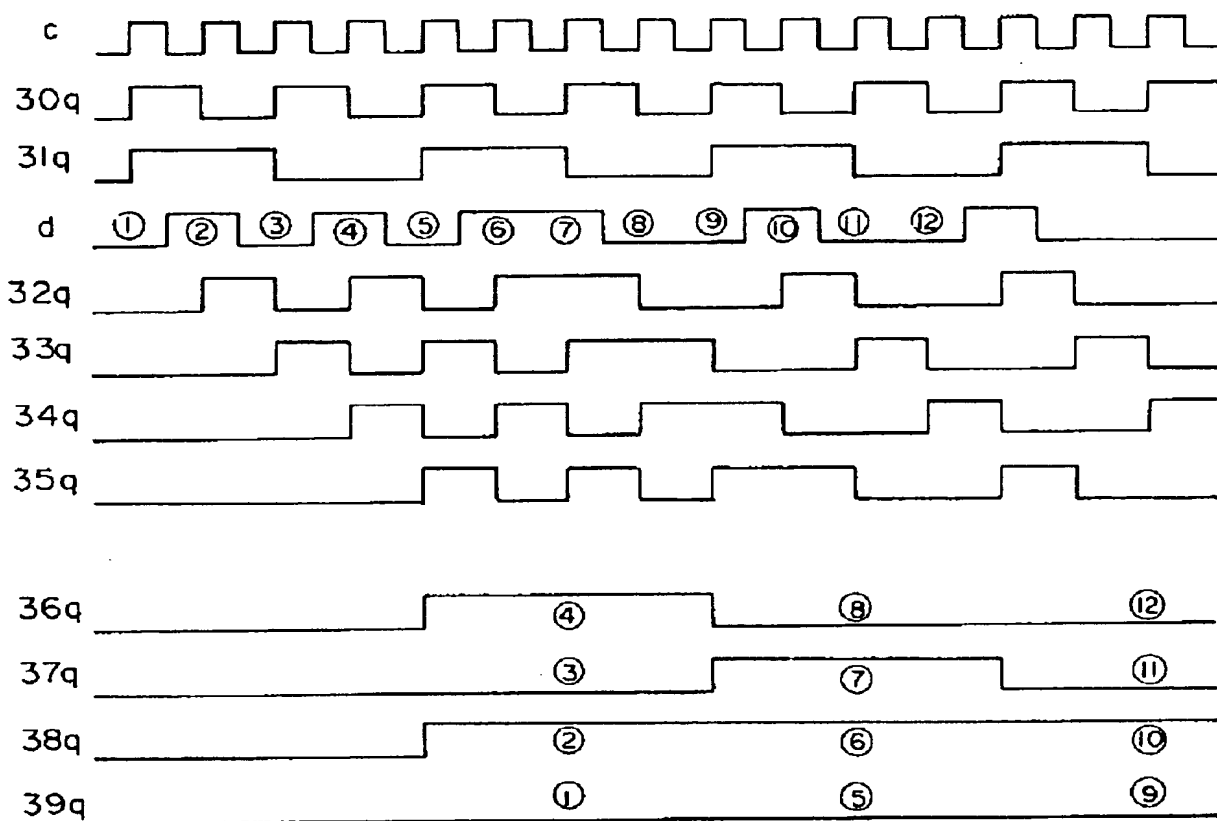
従来の1:4デマルチプレクサ回路図

第2図(a)

361

実用新案登録出願人 沖電気工業株式会社

代理人 鈴木敏明



第2図(a)の回路のタイムチャート

第 2 図 (b)

362

実用新案登録出願人 沖電気工業株式会社

代理人 鈴木 敏 明



大正 11 年 11 月 15 日

手続補正書 (自発)

昭和 62. 5. 22 年 月 日

特許庁長官 殿

1. 事件の表示

昭和 61 年 実用新案登録 願第 0 6 0 1 9 9 号

2. 発明の名称

デマルチプレクサ回路

3. 補正をする者

事件との関係

実用新案登録出 願 人

住 所 (〒105)

東京都港区虎ノ門1丁目7番12号

名 称 (029)

沖電気工業株式会社

代表者

取締役社長 橋本南海男

4. 代理人

住 所 (〒105)

東京都港区虎ノ門1丁目7番12号

氏 名 (6892)

沖電気工業株式会社内

弁理士 鈴木敏明

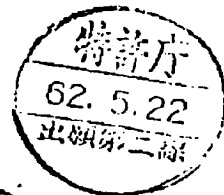
電話 501-3111 (大代表)

5. 補正の対象

明細書中「考案の詳細な説明」の欄

6. 補正の内容

別紙の通り



方式
審査



363

6. 補正の内容

- (1) 明細書第2頁第19行目に「これらの」とあるのを

「FF36～FF39の」と補正する。

- (2) 同書第3頁第15行目に「例では32FF～35FF」とあるのを

「例ではFF32～FF35」と補正する。

- (3) 同書第4頁第2行目に「転送する部分があり」とあるのを

「転送する部分（第2図(a)の例ではFF32とFF36，FF33とFF37，FF34とFF38，FF35とFF39の各組み合わせ）があり」と補正する。

- (4) 同書第5頁第9行目に「転送する部がなく」とあるのを

「転送する部分がなく」と補正する。

- (5) 同書第4頁第11行目に「1以上の」

とあるのを

「2以上の」と補正する。

This Page Blank (uspto)

Reference Number: 00J02665
Mail Number: 414865
Date Mailed: November 25, 2003

Notification of Reasons for Refusal

Application No.: 2000-240409
Date Drafted: November 20, 2003
Examiner: Atsuhiro NISHIJIMA 9308 2G00
Attorney: Kenzo HARA
Applicable Section: Section 29(2) and Section 36

The present application is to be refused for the reasons set forth below. If the applicant has any comments on this refusal, written arguments should be filed within 60 days from the mailing date of this refusal.

Reasons for Refusal

1. The invention of the following claims could easily have been made, prior to the filing of the present patent application, by a person with ordinary skill in the art to which the invention pertains, on the basis of the invention described in the following publications distributed in Japan or abroad prior to the filing of the present application, or on the basis of the invention that became publicly available via telecommunication lines prior to the filing of the present application. Therefore, a patent is not granted according to Section 29(2) of the Japanese Patent Law.
2. For the reasons set forth below, the present application does not meet the requirement under Section 36(6)(ii) of the Japanese Patent Law.

Remarks

Reason 1

- Claims 1, 4, and 6 to 8
- Cited Reference A. Microfilm of Japanese Utility Model Application, *Jitsugansho*

This Page Blank (uspto)

61-60199 (*Jitsukaisho* 62-173831)

· Detailed below

Claims 1 and 6

The cited reference A (see, *inter alia*, the description in background art) describes an invention relating to a circuit so arranged as to generate parallel data by using an external input data signal, which is serial data. Therefore, it is not considered that the inventions recited in the claims above have any particular technical difference over the invention of the cited reference A. Note that, the arrangement for containing the external input data in advance in the invention of the cited reference A is of such a level that a person with ordinary skill in the art can easily make as need arises.

Claims 4, 7, and 8

How to use the output data converted into parallel data, and what circuit arrangement to adopt for this purpose, are merely design matters that may be appropriately decided by a person with ordinary skill in the art in carrying out the invention. (It is not particularly difficult to apply, to the prior art described in the specification of the present application, the circuit arrangement and the like described in the cited reference A.)

Reason 2

Claim 5

(1) From the wording “serial-to-parallel converter means for producing, as parallel data, the plurality of kinds of pulse signals by using the data, which is in the serial data, representative of the predetermined rise and fall timings”, it is not clear what specific arrangement is adopted so as to obtain, by using the data in the serial data, the outputs as parallel data. Therefore, the arrangement of the serial-to parallel converter means recited in claim 5 cannot be understood clearly.

(2) Claim 5 recites “performs conversion into the parallel data after performing an AND operation on (i) the serial data and (ii) the data that is sequenced with a period equal to or shorter than a data interval of the serial data and that has an interval which is one-nth of the data interval, where n is an integer”. From Fig.1(b), however, it is understood that the data interval is not constant. Therefore, “an interval which is one-nth of the data interval, where n is an integer” cannot be understood clearly. (It is necessary to clearly define, in claim 1, a basic clock with respect to the data.)

This Page Blank (uspto)

(3) The wording “performs conversion into the parallel data after performing an AND operation on (i) the serial data and (ii) the data that is sequenced with a period equal to or shorter than a data interval of the serial data and that has an interval which is one-nth of the data interval, where n is an integer” includes, within the scope of its meaning, an arrangement in which data having an interval that is identical to the data interval is used. In such a case, the technical meaning of performing an AND operation is not clear, for example. Therefore, the art of the invention recited in claim 5 cannot be understood clearly.

(4) The technical relationship between the AND operation and the conversion into parallel data is not clear. Therefore, the specific arrangement of the serial-to-parallel converter means recited in claim 5 cannot be understood clearly.

At present, no reason for refusal is found concerning those claims other than the claims referred to in this Notification. If any other reason for refusal is found, the reason for refusal shall be notified.

<Suggestion for Amendment and Other Measures>

It is suggested that close attention be paid to the requirement of unity of inventions if claim 1 is to be amended in such a manner as to limit the scope of claim 1.

Note that this suggestion for amendment and other measures does not have any legal effect; it is merely one idea for overcoming the reasons for refusal. It is up to the applicant how to amend the specification and the drawings.

Record of the Result of Prior Art Search

· Field of Search IPC 7th edition
 ·G09G 3/00-3/38
 ·G02F 1/133 505-580

· Prior Art Document

· Japanese Publication for Unexamined Patent Application, *Tokukaisho* 63-276099
· Japanese Publication for Unexamined Patent Application, *Tokukaihei* 07-049664
· Japanese Publication for Unexamined Patent Application, *Tokukaihei* 01-207792

This Page Blank (uspto)

Japanese Publication for Unexamined Utility Model Application, *Jitsukaisho*
63-017477

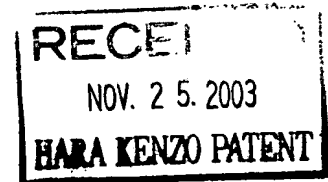
This record of the result of prior art search does not constitute a reason for refusal.

If the applicant wishes to make any inquiry regarding the reasons for refusal, or wishes an interview, please contact:

Atsuhiro NISHIJIMA
Patent Examination 1st Division, Nano Physics
(Tel. 03-3581-1101 (ex. 3225), Fax. 03-3502-8858)

This Page Blank (uspto)

拒絶理由通知書



特許出願の番号	特願2000-240409	
起案日	平成15年11月20日	
特許庁審査官	西島 篤宏	9308 2G00
特許出願人代理人	原 謙三 様	
適用条文	第29条第2項、第36条	

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

1. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。
2. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

理由 1

- ・請求項 1, 4, 6-8
- ・刊行物 A. 実願昭61-60199号（実開昭62-173831号）のマイクロフィルム

（備考）

請求項1, 6について

上記刊行物A（特に、従来の技術の記載などを参照のこと。）には、シリアルデータである外部入力データ信号を用いてパラレルデータを生成するようになる回路に関する発明が記載されており、してみると、上記請求項に記載された発明が上記刊行物Aに記載の発明に対して、技術上特段の相違を有しているとは認められない。なお、上記刊行物Aに記載の発明において、外部入力データ信号を予め格納しておくための構成は、必要に応じて当業者が適宜採用する程度のものにすぎないと認められる。

請求項4, 7-8について

10/1/2019
10/1/2019
10/1/2019
10/1/2019

This Page Blank (uspto)

パラレルに変換された出力データをいかように利用するか、また、そのためにどのような回路構成を採用するかなどは、実施時において当業者が適宜決めうる単なる設計的事項にすぎない（本願明細書に記載されているような従来技術に、刊行物A記載の回路構成等を適用することに特段の困難性は認められない）。

理由 2

請求項5について

(1) 「上記シリアルデータ中に含まれる所定の上記立ち上がりおよび立ち下がりタイミングに対応したデータを用いて、複数の上記パルス信号のそれぞれを互いにパラレルデータとして生成するシリアルーパラレル変換手段」との単なる記載では、シリアルデータ中に含まれるデータを用いることにより如何にしてパラレルデータとしての出力を得ているのか、その具体的な構成が不明であることから、上記請求項に記載されたシリアルーパラレル変換手段の構成に関して明確に把握することができない。

(2) 「上記シリアルデータのデータ間隔以下の周期で配列され、かつ上記データ間隔の整数分の1の間隔を有するデータとの論理積を求めてから上記パラレルデータへの変換を行う」と記載されているが、図1(b)の記載などを参酌するに、データ間隔は一定ではないことから、「データ間隔の整数分の1の間隔」がどのようなものであるのか明確に把握することができない（データに対する基本クロックを請求項1において明確に定義する必要があると考えられる）。

(3) 「上記シリアルデータのデータ間隔以下の周期で配列され、かつ上記データ間隔の整数分の1の間隔を有するデータとの論理積を求めてから上記パラレルデータへの変換を行う」との記載では、データ間隔と同じ間隔のデータを使用する構成も含む記載となっており、してみると、そのような場合において論理積を求めることの技術的意義などが不明であることから、上記請求項に記載された発明の技術を明確に把握することができない。

(4) 論理積を取ることとパラレルデータへの変換との、技術的な関連性が不明であることから、上記請求項に記載されたシリアルーパラレル変換手段の具体的な構成に関して明確に把握することができない。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

<補正等の示唆>

なお、請求項1を限定するような補正を行う際には、発明の単一性の要件に関しても十分な注意を払われない。

なお、上記の補正等の示唆は法律的效果を生じさせるものではなく、拒絶理由を解消するための一案である。明細書及び図面をどのように補正するかは出願人

This Page Blank (uspto)

が決定すべきものである。

先行技術文献調査結果の記録

- ・調査した分野 I P C 第 7 版
 - ・ G 0 9 G 3 / 0 0 - 3 / 3 8
 - ・ G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0
- ・先行技術文献
 - ・ 特開昭 6 3 - 2 7 6 0 9 9 号公報
 - ・ 特開平 0 7 - 0 4 9 6 6 4 号公報
 - ・ 特開平 0 1 - 2 0 7 7 9 2 号公報
 - ・ 実開昭 6 3 - 0 1 7 4 7 7 号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知書の内容に問い合わせがある場合、又は、この案件について面接を希望する場合は、特許審査第 1 部ナノ物理、西島篤宏までご連絡下さい。

(Tel. 03-3581-1101 (ex. 3225) Fax. 03-3592-8858)

This Page Blank (uspto)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)